

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-189738

(43)公開日 平成10年(1998)7月21日

(51)Int.Cl.⁶

識別記号

F I

H 0 1 L 21/82

H 0 1 L 21/82

F

審査請求 未請求 請求項の数 3 O L (全 4 頁)

(21)出願番号 特願平8-343027

(71)出願人 000002185

(22)出願日 平成8年(1996)12月24日

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 宮永 隆史

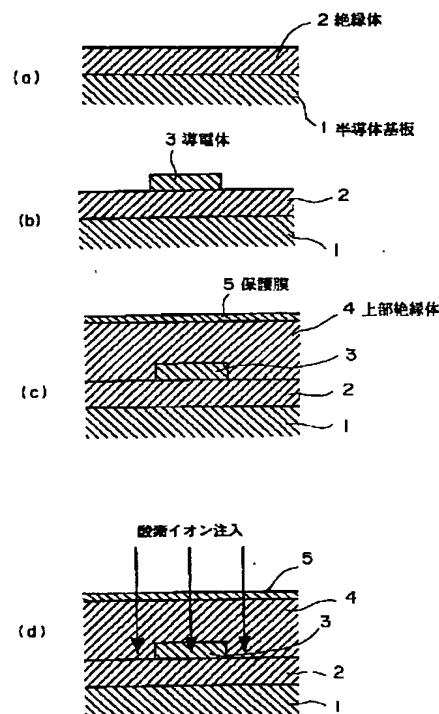
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 導電体を高抵抗化することにより、導電体を断線させることなく冗長回路への切換えを可能にした半導体装置の製造方法を提供すること。

【解決手段】 シリコン基板1上に、絶縁体2を形成し、その上に多結晶シリコンまたはアモルファスシリコンの導電体3を形成し、その上に上部絶縁体4と保護膜5を形成し、上部絶縁体4と保護膜5の形成後または形成前に導電体3に酸素イオンを注入する。注入直後ではシリコンと注入された酸素とがほとんど結びついていないため、導電体3の抵抗値はほとんど変化がない。冗長回路への切換えが必要になった場合には、シリコンと酸素が活性化され、尚かつ導電体3が昇華しない程度のエネルギーで、導電体3にレーザーを照射すると、活性化された導電体3のシリコンと酸素が結び付いてシリコン酸化膜となり、導電体3の抵抗値が上昇して冗長回路への切換えが行われる。



【特許請求の範囲】

【請求項1】導電体を断線または高抵抗化することにより冗長回路への切換えを行う冗長フューズを備えた半導体装置を製造する方法であって、シリコン基板上の絶縁体上に多結晶またはアモルファスシリコンにより前記導電体を形成する工程と、前記シリコン基板および前記導電体上に上部絶縁体を形成する工程と、前記上部絶縁体の形成前または形成後に前記導電体に酸素イオンを注入する工程と、を含むことを特徴とする半導体装置の製造方法。

【請求項2】前記導電体は、該導電体が昇華しない程度のレーザー照射のエネルギーでシリコン酸化膜となって高抵抗化されるようになっていることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】前記導電体は、100nmの厚みであり、抵抗値は1シート当たり1KΩであり、前記酸素イオン注入のドーズ量は $1 \times 10^{18} \text{ cm}^{-2}$ であることを特徴とする請求項1または2記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、冗長フューズとトランジスタとが搭載された半導体装置の製造方法に関し、詳しくは、導電体を断線または高抵抗化することにより冗長回路への切換えを行う半導体装置の製造方法に関するものである。

【0002】

【従来の技術】図3に、従来の半導体装置の冗長回路へ切換えを行うための冗長フューズの部分の断面模式図を、図4にこれを上方から見た模式図を各々示している。従来の冗長フューズにおいては、シリコン基板(半導体基板)1上に絶縁体2が形成され、この絶縁体2上に冗長回路へ切換えるための導電体3が形成され、この導電体3を覆う上部絶縁体4が形成された構造になっている。なお、上部絶縁体4の表面には、水分等の進入に対する保護膜5が形成されている。そして、レーザー照射により導電体3を昇華させて断線させることにより、不良の発生した回路を冗長回路に切換える、いわゆる冗長フューズの機能を働かせるようにしている。

【0003】

【発明が解決しようとする課題】上述のような冗長フューズの問題点を、図5の断面模式図および図6の上から見た模式図で説明する。従来のレーザー照射で導電体3を昇華させて断線させる方式の冗長フューズでは、昇華した導電体3が上部絶縁体4を突き破って大気中に飛散する。上部絶縁体4の表面には、水分等の進入に対する保護膜5が形成されているが、導電体3を断線させることでこの保護膜5がなくなり、水分等の进入による特性劣化が生ずるおそれがあった。

【0004】また、配線層が多層化して上部絶縁体4が厚くなると、昇華した導電体3が十分に飛散することができず、図6に示すように上部絶縁体4の側壁に導電体3の残渣6が付着するという現象が生じる。そうすると、図6に示すように、この残渣6を介して切断された導電体3、3間に矢印で示すように電流が流れてしまい、完全な断線に至らない不良が発生する。そこで、上部絶縁体4を少なくとも導電体3の真上の部分だけ薄く形成する方式も提案されている。すなわち、導電体3の10真上が開口するレジストパターンを上部絶縁体4に形成しておき、上部絶縁体4を部分的に除去するものである。

【0005】しかしながら、この手段は上部絶縁体4を部分的に除去する工程を新たに追加する必要があり、工程数の増加のより製造コストの増加を招くと共に、上部絶縁体4の保護膜5が除去されることによる特性劣化を招くおそれがある。本発明は上述の点に着目してなされたもので、導電体を高抵抗化することにより、導電体を断線させることなく冗長回路への切換えを可能にした半導体装置の製造方法を提供することを目的とする。

【0006】

【課題を解決するための手段】前記目的を達成するため、本発明は、導電体を断線または高抵抗化することにより冗長回路への切換えを行う冗長フューズを備えた半導体装置を製造する方法であって、シリコン基板上の絶縁体上に多結晶またはアモルファスシリコンにより前記導電体を形成する工程と、前記シリコン基板および前記導電体上に上部絶縁体を形成する工程と、前記上部絶縁体の形成前または形成後に前記導電体に酸素イオンを注入する工程とを含むことを特徴としている。

【0007】本発明の製造方法で得られた半導体装置は、前記導電体が適切なエネルギーのレーザー照射でシリコン酸化膜となって高抵抗化され、昇華することなく冗長フューズとして作動する。したがって、導電体上の保護膜を除去する必要がなくなり水分等の侵入による特性劣化を防ぐことができ、また、導電体上の絶縁体を薄くする必要がないため、工程数の増加がなくなる。

【0008】

【発明の実施の形態】以下、本発明の半導体装置の製造方法を図面に示す実施の形態に基づいて説明する。図1(a)において、シリコン基板1上に、絶縁体2を例えれば熱酸化により形成する。この絶縁体2上に多結晶シリコンまたはアモルファス(amorphous)シリコンをCVD法により形成し、ホトリソグラフィ法によるレジストパターンの形成およびドライエッチングを行い、図1(b)のように導電体3を形成する。

【0009】導電体3はリンをドーピングしたシリコン酸化膜による熱拡散やリンのイオン注入等により抵抗値を所定のレベル以下に下げる。続いて、図1(c)において、CVD法により幾層かのシリコン酸化膜を用いた

配線層間膜による上部絶縁体4が形成され、この上部絶縁体4上に例えばシリコンナイトライド膜による保護膜5が形成される。

【0010】上部絶縁体4と保護膜5の形成後（形成前でもよい）、図1（d）に示すように、導電体3に所定のドーズ量の酸素イオンを注入する。酸素イオンの注入直後では、導電体3のシリコンと注入された酸素とがほとんど結びついてなく、格子間原子の状態で介在しているに過ぎないため、導電体3の抵抗値はほとんど変化がなく、冗長回路への切換えも行われない。

【0011】半導体装置のデバイス特性の確認後、冗長回路への切換えが必要になった場合には、シリコンと酸素が活性化され、尚かつ導電体3が昇華しない程度

（0.1uJ以下）のエネルギーで、高抵抗の必要な冗長フューズの導電体3にレーザーを照射する。そうすると、活性化されたシリコンと酸素が結び付いてシリコン酸化膜となり、導電体3の抵抗値が上昇して冗長回路への切換えが行われる。

【0012】【実施例】以下、本発明の半導体装置の製造方法を実施例により具体的に説明する。シリコン基板1上に、熱酸化により酸化シリコンの絶縁体2を400nmの厚さに形成した。この絶縁体2上に多結晶シリコンまたはアモルファス（amorphous）シリコンをCVD法により100nm形成し、ホトリソグラフィ法によるレジストパターンの形成およびドライエッティングを行い、図1（b）のように導電体3を形成した。

【0013】導電体3はリンをドーピングしたシリコン酸化膜による熱拡散やリンのイオン注入等により抵抗値を1KΩ/シート以下に下げた。次に、CVD法により

・幾層かのシリコン酸化膜を用いた配線層間膜と、シリコンナイトライド膜による保護膜を形成することにより、上部絶縁体4とその表面の保護膜5とを形成した。

【0014】絶縁体4と保護膜5の形成後（形成前でもよい）に、導電体3に $1 \times 10^{18} \text{ cm}^{-2}$ のドーズ量の酸素イオンを注入した。なお、100nmの導電体を全てシリコン酸化膜にするには、理論的には $1 \times 10^{18} \text{ cm}^{-2}$ のドーズ量の酸素イオンが必要であるが、冗長回路へ切換えるために必要な高抵抗化の度合いによっては、 $1 \times 10^{18} \text{ cm}^{-2}$ 以下のドーズ量でも可能である。

【0015】このようにして構成された冗長フューズに、0.1uJのエネルギーで導電体3にレーザーを照射した。その結果、活性化された導電体3のシリコンと格子間の酸素が結び付いてシリコン酸化膜なり、導電体3の抵抗値が上昇して冗長回路への切換えが行われることが確かめられた。

【0016】本発明方法により製造された半導体装置は、例えばダイナミックRAM等の配線モジュールに使用され、冗長フューズはアルミニウム線で引き出されて片側はグランドに、もう1つの片側は半導体装置のト

ランジスタに接続される。そして、例えば冗長フューズを高抵抗化した場合、その冗長フューズに対応するビット線をトランジスタの冗長回路により選択してスペアビット線と電気的に入れ替える、等の用途に利用される。

【0017】以上のように、本実施の形態の半導体装置の製造方法によれば、導電体3に多結晶シリコンまたはアモルファスシリコンを用い、この導電体3に酸素イオンを注入して冗長フューズを構成し、レーザー照射のエネルギーで活性化して高抵抗化することで断線させることなく冗長フューズとして作動させるようにしたので、導電体3を昇華させる必要がなくなった。したがって、冗長フューズとして作動後、導電体3の上の保護膜5が除去されることがなくなり、水分等の侵入による特性劣化が防止される。また、多層配線化して導電体3上の上部絶縁体4が厚くなってしまっても、導電体3上の絶縁体4を薄くするする必要もなくなり、工程数の増加によるコストアップが防止される。

【0018】

【発明の効果】以上、詳述したように、本発明の半導体装置は、導電体に多結晶シリコンまたはアモルファスシリコンを用い、この導電体に酸素イオンを注入して構成し、レーザー照射のエネルギーで活性化して高抵抗化することで冗長フューズとして作動させるようにしたので、導電体を昇華、断線させる必要がなくなり、導電体の上の保護膜が除去されなおので、絶縁体からの水分等の侵入による特性劣化が防止される。

【0019】また、導電体を昇華させないので、導電体上の上部絶縁体が厚くなってしまっても、導電体上の絶縁体を薄くするする必要もなくなり、工程数の増加によるコストアップが防止される。また、本発明の製造方法は、従来の製造工程に酸素イオンを注入する工程を追加するだけであるから、製造コストもほとんどアップせず、低コストで製造できる。

【図面の簡単な説明】

【図1】本発明に係る半導体装置の製造方法の工程を示す断面図である。

【図2】本発明の半導体装置を冗長フューズとして使用した断面図である。

【図3】従来の半導体装置の断面模式図である。

【図4】従来の半導体装置の上方から見た断面模式図である。

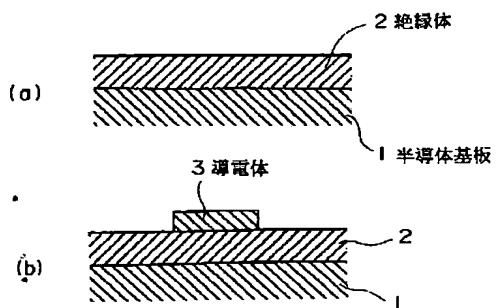
【図5】従来の半導体装置の作動時の断面模式図である。

【図6】従来の半導体装置の作動時の上方から見た断面模式図である。

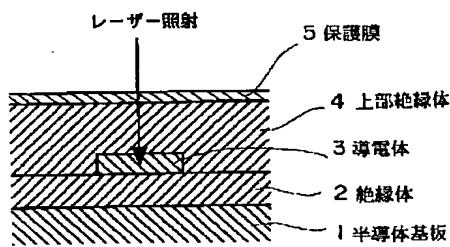
【符号の説明】

1……半導体基板、2……絶縁体、3……導電体、4……上部絶縁体、5……保護膜。

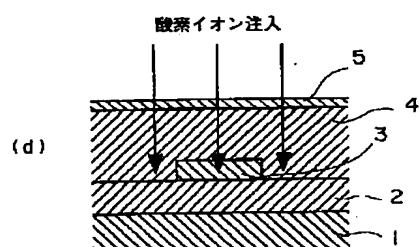
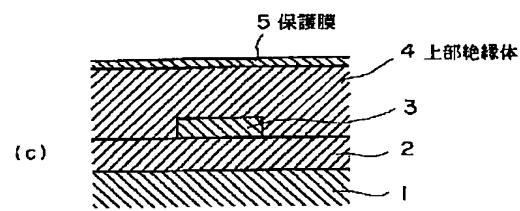
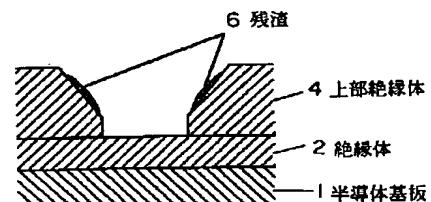
【図1】



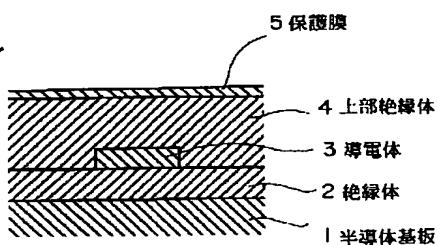
【図2】



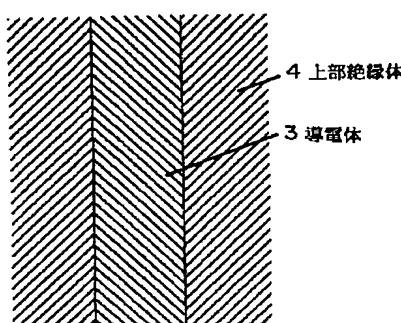
【図5】



【図3】



【図4】



【図6】

